

概述

CL62112E 是一款高功率、高效率异步升压 DC-DC 转换器。CL62112E 支持 2.5V 至 20V 宽电压输入，可调升压输出，最高升压 21V。12V 供电情况下升压 21V，输出峰值功率可做到 80W，效率 91%。

CL62112E 还可以通过调整外部 OC 脚的电阻 R_{LIM} 来实现可调节的开关限流功能。此功能可以根据系统电源的电流输出能力来设定限流值，从而达到最大电流输出能力，以防止输入端电流能力不足导致供电端电压拉低，造成系统不稳定现象。

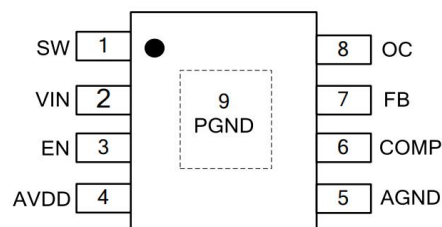
CL62112E 内部集成过热保护电路、逐周期限流保护电路、输出过压保护电路，确保芯片在各种应用环境中的可靠性、稳定性。

特性

- ◆ 输入电压范围：2.5-20V
- ◆ 输入限流可调，最大12A
- ◆ 输出电压可调，最高升压21V
- ◆ 高转换效率：
 - 91% (PVIN=12V, VOUT=21V, IOUT=4A)
 - 93% (PVIN=12V, VOUT=18V, IOUT=4A)
 - 87% (PVIN=7.4V, VOUT=18V, IOUT=3A)
 - 91% (PVIN=7.4V, VOUT=12V, IOUT=4A)
- ◆ 开关频率：1MHz
- ◆ 低静态电流，低关断电流
- ◆ 内置过热保护、逐周期过流保护、输出过压保护（VIN由VOUT供电时）
- ◆ 无铅无卤封装，ESOP-8L

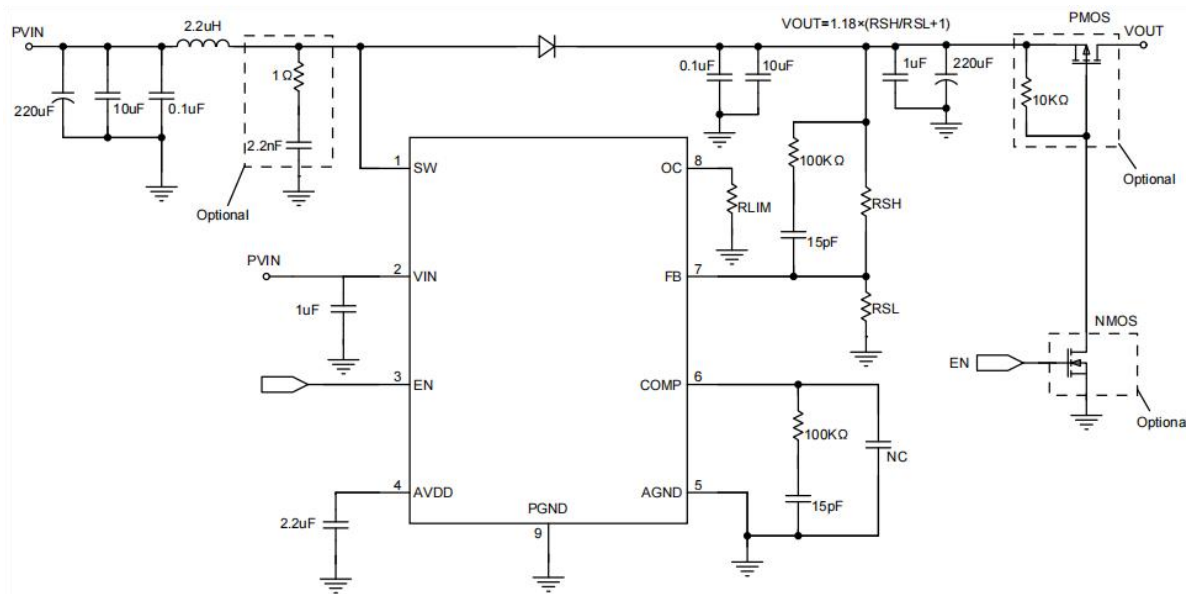
应用范围

- ◆ USB Type-C
- ◆ 电动工具/电动车
- ◆ 工业控制

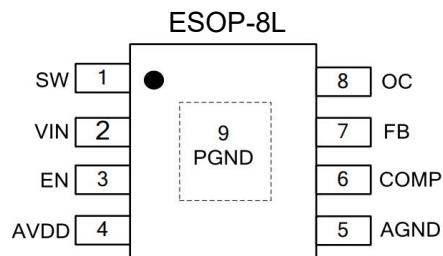


CL62112E 采用 ESOP-8L 封装

典型应用



脚位定义



管脚描述

管脚号	管脚名	描述
1	SW	SWITCH 端
2	VIN	芯片供电脚
3	EN	芯片使能脚，高电平有效
4	AVDD	内部供电电源，外接2.2μF电容滤波
5	AGND	模拟地
6	COMP	环路补偿脚
7	FB	输出电压反馈端
8	OC	输入端限流值设定脚，对地加电阻来决定限流值
9	PGND	功率地

丝印说明

完整型号	封装	丝印	说明
CL62112E	ESOP-8L	62112E YWXXAX	第一排：产品型号 第一排：分别用字母及数字依次表示生产年份、周号、版本号、生产批号、工厂代码

最大额定值（注）

参数	符号	范围	单位
电源电压	V_{IN}	-0.3 ~ 21.5V	V
升压输出	V_{OUT}	-0.3 ~ 24V	V
控制管脚电压	EN	-0.3 ~ 6V	V
环境工作温度	T_A	-40 ~ +85	°C
储存温度	T_{stg}	-40 ~ +125	°C
耐ESD电压（人体模型）		2000	V
焊接温度	T_{solder}	260°C, 15S 内	

电气特性

参数	测试条件	最小值	典型值	最大值	单位
电源电压		2.5		20	V
欠压锁定阈值	V _{IN} Rising		2.3		V
	V _{IN} Falling		2.1		V
静态工作电流	V _{IN} =7.4V, V _{OUT} =12V, R _{SH} =910K, R _{SL} =100K		0.78		mA
Shutdown电流	V _{EN} =0, No R _{SH} & R _{SL}		0.14		μA
AVDD电压	P _{VIN} =7.4V, I _{AVDD} =0		4.83		V
	P _{VIN} =7.4V, I _{AVDD} =50mA		4.81		V
反馈电压			1.18		V
导通电阻			45		mΩ
输出过压保护	V _{IN} 接V _{OUT}		21.5		V
开关频率			1		MHz
效率	P _{VIN} =3.7V, V _{OUT} =9V, I _{OUT} =2A		84		%
	P _{VIN} =7.4V, V _{OUT} =12V, I _{OUT} =4A		91		
	P _{VIN} =7.4V, V _{OUT} =15V, I _{OUT} =3.5A		89		
	P _{VIN} =7.4V, V _{OUT} =18V, I _{OUT} =3A		87		
	P _{VIN} =12V, V _{OUT} =18V, I _{OUT} =4A		93		
	P _{VIN} =12V, V _{OUT} =21V, I _{OUT} =4A		91		
输入限流值	R _{LIM} =24K		6		A
	R _{LIM} =82K		10		
逻辑高电平		2		5.5	V
逻辑低电平		0		0.4	
内置下拉电阻			380		kΩ
过热保护阈值			150		℃
过热保护滞回			40		℃

功能描述

使用说明

EN 输入

CL62112E 的 EN 脚是芯片的使能脚，可控制芯片的开启与关断。EN 脚内部有 380kΩ 下拉电阻。EN 脚拉低，CL62112E 停止升压，进入关断模式；EN 脚拉高，CL62112E 进入升压模式。

输出电压设置

CL62112E 的输出电压值 VOUT 可通过 FB 端的 RSH 和 RSL 电阻值来设定，计算公式如下：

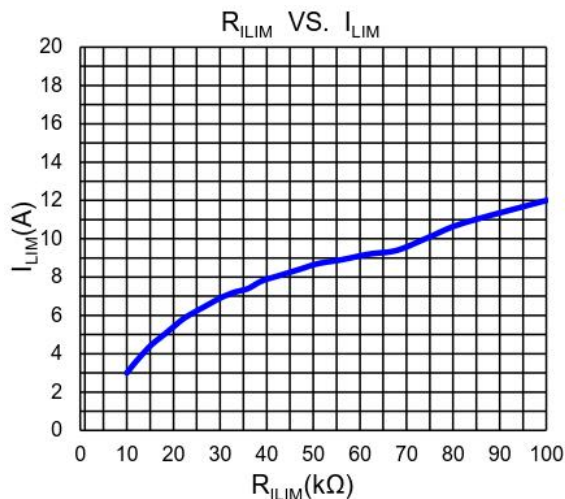
$$V_{OUT} = V_{FB} \times \left(\frac{R_{SH}}{R_{SL}} + 1 \right)$$

其中， $V_{FB}=1.18V$ ， R_{SL} 取值要大于 30kΩ。

输入限流设置

为避免输入（PVIN）端可能的突发性大电流尖峰，CL62112E 内置了逐周期过流限制保护功能。PVIN 端峰值电流限值可通过 OC 管脚的外部对地电阻 R_{LIM} 来设置。

PVIN 端限流电阻 R_{LIM} 与 I_{LIM} 关系如下：



肖特基二极管的选择

CL62112E 的 Boost 部分采用异步整流架构，需外接肖特基二极管进行续流，肖特基整体的电流能力务必要大于按需设置的芯片限值。肖特基二极管对 IC 的整体性能影响很大，不合适的选型可能导致整机效率偏低，甚至在 IC 的 SW 端产生很大的反向过冲电压，使 IC 烧毁。Layout 时要注意，肖特基与电感的连线尽可能宽尽可能短，不适合的走线会使 SW 端过冲振铃变大，影响 EMI，甚至烧毁 IC。

功率电感的选择

CL62112E 在输入输出确定的情况下，计算功率电感直流电流公式如下：

$$I_{DC} = \frac{V_{OUT} \times I_{OUT}}{P_{VIN} \times \eta}$$

其中 V_{OUT} 是升压输出电压， I_{OUT} 是升压输出电流， P_{VIN} 是输入电压， η 是升压效率。

功率电感电流峰值纹波 IPP 的计算公式：

$$I_{PP} = \frac{1}{L \times \left(\frac{1}{V_{OUT} - PV_{IN}} + \frac{1}{PV_{IN}} \right) \times f_{SW}}$$

其中 L 是电感器感量，V_{OUT} 是升压输出电压，P_{VIN} 是输入电压，f_{SW} 是开关频率。

电感器峰值电流 I_{Lpeak} 计算公式：

$$I_{Lpeak} = I_{DC} + \frac{I_{PP}}{2}$$

为避免电感饱和，CL62112E 的电流限制设置应高于电感器峰值电流 I_{Lpeak}，选择饱和电流高于设定电流限值的电感器。

在确定的输入与输出的情况下，电感量决定了电感电流的上升斜率及下降斜率。电感电流纹波率 r：

$$r = \frac{\Delta i_L}{i_{L,avg}} = \frac{R_O \times (1 - D)^2 \times D}{L \times f_{SW}}$$

$$D = 1 - \frac{V_{IN}}{V_{OUT}}$$

其中 R_O 为输出负载等效阻抗，f_{SW} 是 CL62112E 的开关频率。函数 r=f(D) 在 1/3 处有最大值。

在其他条件不变的情况下，电流纹波率 r 与电感量 L 成反比。要保证系统工作在连续工作模式，必须满足 r<2，由此得到电感的最小值：

$$L_{min} = \frac{R_O \times (1 - D)^2 \times D}{2 \times f_{SW}}$$

而过小的电感电流纹波率，会导致大的电感量及电感体积，必须确定一个最小纹波率，由此得到电感的最大值 L_{max}。

另一方面，大的纹波率导致大的电容电流有效值影响效率，需要在两者间折中。经验表明 r=0.3~0.5 是个合适的值。在使用小 ESR 电容时，可以增大电流纹波率以减小电感体积。

CL62112E 的电流峰值限制最大值为 12A，推荐使用 2.2uH 饱和电流超过 12A 的功率电感。具体应用根据上述公式选择合适的电感。

输入输出端电容选择

升压调节器功率开关管的不断开关，在系统输入端产生纹波，纹波的大小取决于实际应用中电流大小、系统的输入阻抗及 PCB Layout。必须使用一个输入电容来减小这个纹波，典型条件下 22μF 或 47μF 已足够。若输入阻抗较大（如输入走线很长）时，应加大输入电容值。

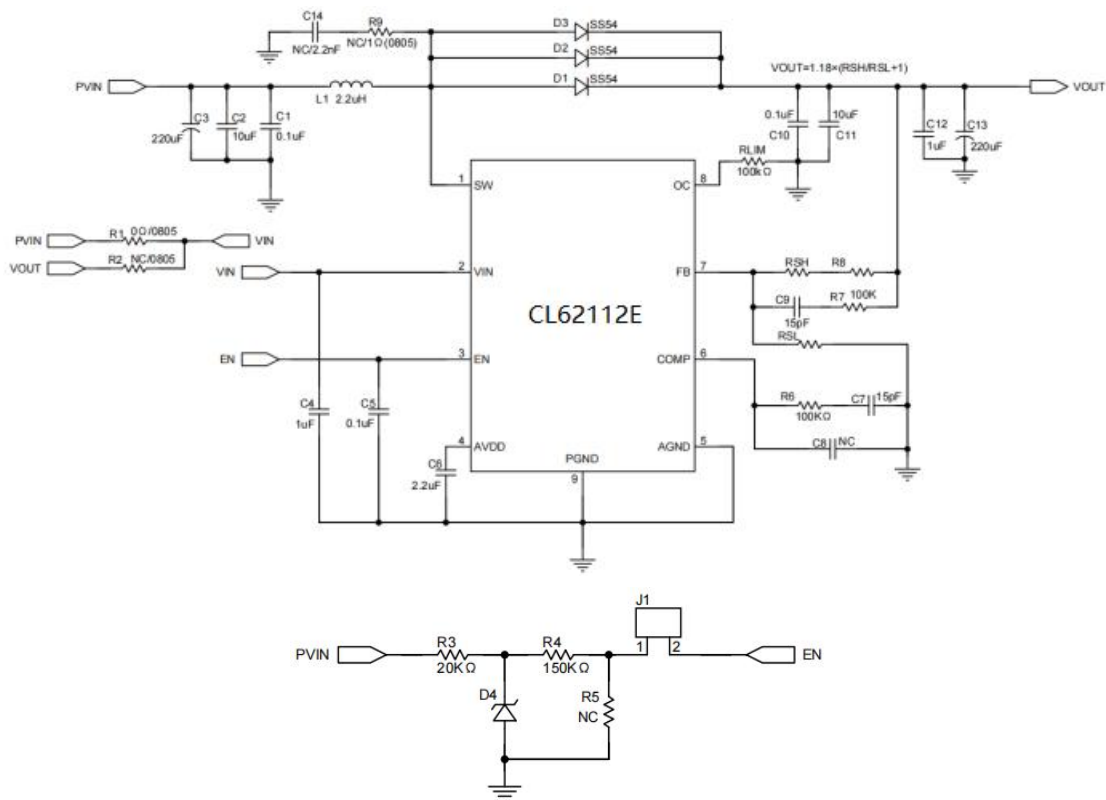
输出电容的选择主要取决于所需要的输出电压纹波。为减小输出电流纹波，必须使用低 ESR 的电容，可以采用多个电容并联的方式。同时，在音频领域应用时，由于负载在某段时间内将超出系统的最大输出功率，所以必须采用较大的电容避免输出电压大的下掉。

陶瓷贴片电容建议选用 X7R、X7P、X8R 等材质的电容，不建议用 X5R、Y5V 的材质的电容。

芯片 PGND

CL62112E Layout 时一定要注意芯片底部与 PCB 上 PGND 的连接。为防止生产漏锡，建议 PCB 上 CL62112E 正下方 PGND 过孔孔径不要太大或过于密集，防止贴片生产漏锡导致 CL62112E 的 PGND 不连锡或连锡不充分，影响芯片性能，甚至烧毁 IC。

典型应用电路



PVIN<6V, VIN pin 可接 VOUT (R1 NC, R2=0Ω)。

PVIN≥6V, VIN pin 直接接 PVIN (R1=0Ω, R2 NC)。

预留 R8, 用于微调。RSL 电阻要求大于 30kΩ。

根据输入输出的设定, 选择耐压合适的滤波电容。陶瓷电容材质建议选用 X7R、X8R 材质。

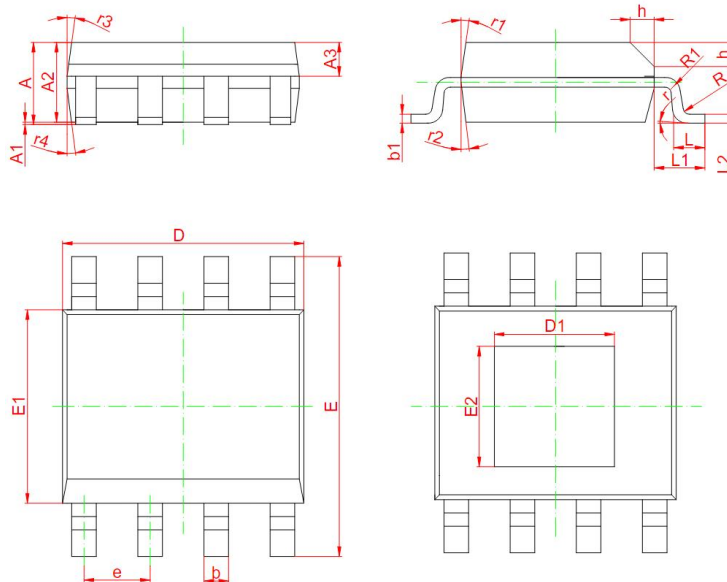
Layout说明

对于 DC-DC 电源, 特别是运行在大电流、高频率状态下, Layout 是非常关键的因素, 不佳的 Layout 可能影响其工作的稳定。

CL62112E Layout 说明如下:

- ◆ 芯片底部尽量使用完整铺地;
- ◆ 电源连线, 包括 PVIN、SW、VOUT、GND 应尽可能粗且短, 降低阻抗;
- ◆ 输入滤波电容尽可能靠近相应引脚和器件(电感), 电容负端以低阻抗接地, 优先回地到芯片底部 GND;
- ◆ 电源经电感、SW、二极管到 VOUT 的走线尽量粗且短, 低阻抗;
- ◆ 输出滤波电容尽可能靠近二极管, 电容负端以低阻抗接地, 优先回地到芯片底部 GND;
- ◆ RHS 和 RLS 尽量靠近 FB 引脚, 尽量避免钻孔多层走线;
- ◆ 芯片底部热焊盘是 CL62112E 的 PGND 引脚, 因此, CL62112E 的正下方过孔不要过于密集或钻孔过大, 避免生产时底部不连锡或上锡不良, 影响芯片正常工作和散热。芯片正下方 PGND 尽可能露铜加大散热面积。

封装说明：ESOP-8L



SYMBOL	MIN	NOM	MAX
A	1.35	1.55	1.70
A1	0	0.10	0.15
A2	1.25	1.40	1.65
A3	0.50	0.60	0.70
b	0.38	-	0.51
b1	0.37	0.42	0.47
D	4.80	4.90	5.00
D1	3.10	3.30	3.50
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
E2	2.20	2.40	2.60
e	1.17	1.27	1.37
L	0.45	0.60	0.80
L1	1.04REF		
L2	0.25BSC		
R	0.07	-	-
R1	0.07	-	-
h	0.30	0.40	0.50
r	0°	-	8°
r1	15°	17°	19°
r2	11°	13°	15°
r3	15°	17°	19°
r4	11°	13°	15°

- 此处描述的信息有可能有所修改，恕不另行通知。
- 智凌芯不对由电路或图表描述引起的与工业标准，专利或第三方权利相关的问题负有责任。应用电路图仅作为典型应用的示例用途，并不保证其对专门的大规模生产的实用性。
- 当该产品及衍生产品与瓦圣纳协议或其他国际协议冲突时，其出口可能会需相关政府的授权。
- 未经智凌芯刊印许可的任何对此处描述信息用于其他用途的复制或拷贝都是被严厉禁止的。
- 此处描述的信息若智凌芯无书面许可不能被用于任何与人体有关的设备，例如运动器械，医疗设备，安全系统，燃气设备，或任何安装于飞机或其他运输工具。
- 虽然智凌芯尽力去完善产品的品质和可靠性，但半导体产品的失效和故障仍在所难免。因此采用该产品的客户必须要进行仔细的安全设计，包括冗余设计，防火设计，失效保护以防止任何次生性意外、火灾或相关损毁。