

概述

CL4148 是最大输入 48V、负载电流 0.6A 的同步降压 DC-DC 转换器，采用 SOT23-6L 封装，通过 FB 引脚的外部分压电阻可以对输出电压进行调节，调节范围为 1.5-48V。

CL4148 具有低静态工作电流，可在极小带载条件下实现最高效率，在电池供电的应用系统中可以极大的减少电量损耗。

CL4148 具有 8V-48V 的宽输入电压范围，最大限度地减少了对外部浪涌抑制组件的需求，使其成为宽输入范围工业领域和多节数电池组应用的理想选择。

CL4148 具有集成式功率 MOSFET，采用具有内部补偿的峰值电流检测模式架构，可提供额定最大 0.6A 的输出电流能力，并具有出色的负载和输入瞬态响应。

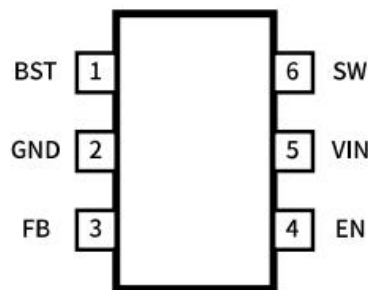
特点

- ◆ 宽输入电压范围：8V 至 48V
- ◆ 提供 1.5V-48V 可调的输出电压范围
- ◆ 工作结温范围：-40℃—+125℃
- ◆ 高达 97%峰值效率
- ◆ 600mA 带载能力
- ◆ SKIP 模式提供极高的轻负载效率
- ◆ 安全、可靠运行特性
 - 集成软启动
 - 集成预启动功能
 - 过热和过流保护
 - 输出短路保护
- ◆ 具有内部补偿，极大减少了外部组件数量
- ◆ 在整个负载范围内具有高效率 and 低功率耗散

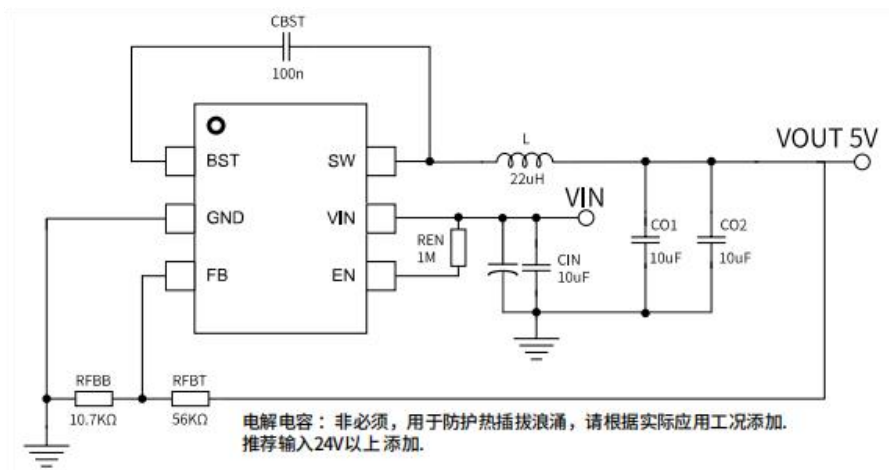
应用

- ◆ 系统的前置稳压（跟踪和远程信息处理、网络摄像头）
- ◆ 电池备用电源（电表、数据集中器）
- ◆ 热电器件电源（TEC、光纤模块）
- ◆ 通用电压稳定器和降压转换器

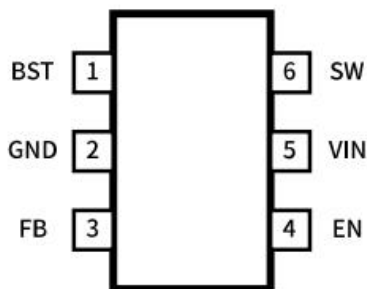
CL4148采用SOT23-6L封装



典型应用电路



管脚分布图



管脚描述

管脚号	管脚名	描述
1	BST	自举电路引脚。把高侧MOSFET的Gate端电压升高，需要在该引脚和SW引脚之间连接0.1 μ F电容器使用。
2	GND	功率地引脚。
3	FB	反馈输入引脚。通过外部电阻分压，将输出端的电压波动反馈回IC，同时通过电阻分压比设置输出电压值。
4	EN	输出使能引脚。置高使能输出；置低关闭输出(注1)。
5	VIN	电源输入引脚。在该引脚和GND引脚之间连接4.7 μ F或更大的旁路电容进行滤波(注2)。
6	SW	转换器开关节点。外部连接功率电感。

注1：提供的典型应用图及解决方案均将EN引脚通过1M电阻连接到VIN进行上拉。

注2：注意滤波电容的滤波半径，方便起见，尽量将电容靠近芯片放置。

丝印说明

型号	封装	丝印	说明
CL4148	SOT23-6L	4148 YWXXB	第一排：型号代码 第二排： Y：年号 W：周号 A：版本代码 XX：生产批号 B：备用码

最大额定值 (注1)

温度范围: -40℃ - +125℃ (除非另有说明)

参数	范围	单位
VIN、SW至GND电压	-0.3~60	V
BST至SW电压	-0.3~6	V
FB至GND电压	-0.3~6	V
EN至GND电压	-0.3~7	V
储存温度(Storage temperature)Tstg	-65~150	℃
结温(Junction Temperature)TJ	-40~125	℃

注1: 超出最大范围器件可能损毁。推荐工作范围内器件可以工作, 但不保证其特性。电气特性表明的直流和交流特性是在特定条件下测得, 其特性可以保证。此特性假定器件在推荐工作范围内工作。未示出特性不保证其性能。典型值是最佳性能点。

推荐工作条件

符号	符号说明	范围	单位
VIN	VIN至GND电压	8~48	V
VEN	EN至GND电压	2~5	V
VOOUT	输出电压	5~93%VIN	V
IOOUT	输出电流	0~0.6	A
TJ	结温	-40~125	℃

ESD等级

			VALUE	UNIT
VESD	静电放电测试	Human-body model(HBM), per JEDEC JS-001	±2000	V
		Charged-device model(CDM), per JESD22-C101	±1000	V

电气特性

除非特殊说明, $V_{IN}=24V$, $V_{OUT}=12V$, $T_A=25^{\circ}C$; 最大最小值适用于 $-40^{\circ}C < T_A = T_J < 125^{\circ}C$

符号	参数	测试条件	最小	典型	最大	单位
输入特性						
V_{IN}	输入电压范围		8		48	V
I_Q	静态工作电流	No Switch		200		μA
I_{SD}	关机电流	EN置低			1	μA
使能特性						
V_{EN_R}	EN上升阈值	$T_J=25^{\circ}C$		1.5	1.8	V
V_{EN_F}	EN下降阈值		0.6	1		V
I_{LKG_EN}	EN输入漏电电流	$V_{EN}=6V$		100		μA
电流特性						
I_{SC_HS}	高侧MOSFET电流限制		1	1.2	1.4	A
I_{ZC}	过零检测	DCM 模式, 轻载		90		mA
I_{SW}	SW的漏电电流				0.8	μA
MOS 管特性						
R_{dson_HS}	高侧MOS管导通电阻			450		m Ω
R_{dson_LS}	低侧MOS管导通电阻			470		m Ω
软启动过程						
T_{SS}	第一次SW脉冲到 $V_{OUTGD}^{(1)}$	$V_{IN}>4.5V$		0.6		ms
反馈回路						
I_{FB}	FB漏电电流	$V_{IN}=12V$, $FB=0.8V$		100	120	nA
V_{FB}	反馈电压		775	800	825	mV
开关特性						
T_{ON_MIN}	高侧MOS最小导通时间 ⁽¹⁾			100		ns
FSW	开关频率			900		KHz
系统特性						
D_{MAX}	最大开关占空比			93		%
热特性						
T_{SD}	热关机 ⁽¹⁾			150		$^{\circ}C$
T_{SD_H}	热关机的迟滞 ⁽¹⁾			25		$^{\circ}C$
热阻系数						
θ_{JA}	硅核到周围空气的热阻系数	0 LFPM Air Flow		173		$^{\circ}C/W$
θ_{JB}	硅核到PCB板表面的热阻系数			33.2		$^{\circ}C/W$
θ_{JCTop}	硅核到封装上表面的热阻系数			116		$^{\circ}C/W$
Ψ_{JB}	硅核到PCB板表面的热阻系数			30		$^{\circ}C/W$

(1)未经特性或设计保证, 未经生产测试

功能描述

CL4148是内部开关型的同步降压DC/DC稳压器，集成了所有的控制器和保护电路，可以极大降低系统面积。具备SKIP控制模式，将快速瞬态响应与高效率相结合。CL4148外置分压网络可设定输出电压，实现宽输入输出范围以满足广泛的使用需要。

附加功能包括：软启动、热关机、最大占空比限制和智能电流限制关闭定时器。同时具备短路保护功能在输出短路情况下避免IC过热。

省电模式

除了连续导通模式(CCM)以外，CL4148还具有省电模式，该模式通过暂停开关操作来实现，这样可以降低开关损耗，让转换器在轻负载条件下保持较高效率。Skip Comparator通过比较 I_{SKIP} 和 I_{REF} 来管理和切换工作状态，当前电流需求低于 I_{SKIP} 时，比较器控制暂停切换；当电流需求增加时(V_{OUT} 下降)，比较器控制激活电流环路进入连续开关模式，使 V_{OUT} 上升，此时 I_{REF} 将会下降，当 I_{REF} 低于 I_{SKIP} 时，再次暂停切换。由于输出电压会不定期地骤降和恢复，因此这种模式下的输出电压纹波大于CCM工作模式下的纹波。

软启动

CL4148设置内部软启动。软启动可防止在启动过程中输出电压超调。芯片启动时，IC内部电路会产生一个软启动电压(V_{SS})，该电压从0V开始上升，当它小于内部参考(V_{REF})时， V_{SS} 代替 V_{REF} 作为误差放大器的参考电压；当 V_{SS} 超过 V_{REF} 时，误差放大器使用 V_{REF} 作为参考电压。

在整个启动阶段，开关电流限制依然有效，避免上电即短路的情形发生。当输出有非常大的电容时(例如2200 μ F甚至更大)，输出电压上升速度会比 V_{SS} 慢，受限于最大开关限流，从启动到达到目标电压设定值的时间会大于软启动过程的时间。

EN—IC 使能

EN引脚的电压控制CL4148的启动和关闭。当EN电压小于 V_{EN_OUT} 时芯片保持低功耗待机状态，此时的输入电流为30 μ A($V_{IN}=24V$)，当EN引脚处电压大于 V_{EN_OUT} 时，IC进入软启动模式。在IC关闭过程中，EN引脚电压下降到 $V_{EN_OUT}-V_{EN_HYST}$ 时，CL4148稳压器停止工作，重新进入待机状态。

如无特殊要求，可将EN引脚通过一个1M电阻连接到VIN上，当VIN上电时可同时保持使能打开(注：EN引脚耐压值为6V)。

热关机

当结温开始升至150 $^{\circ}$ C以上时，热关机(Thermal Shutdown)将被激活，系统会强制关闭稳压器输出。当结温降至125 $^{\circ}$ C以下时，CL4148将会重新尝试进行软启动。

本器件的保证工作结温范围为-40 $^{\circ}$ C至+125 $^{\circ}$ C，高结温会降低工作寿命，结温长时间高于125 $^{\circ}$ C时，器件寿命会缩短。请注意，与这些规格一致的最高环境温度取决于具体工作条件以及电路板布局、额定封装热阻和其他环境因素。

结温(T_J ，单位为 $^{\circ}$ C)根据环境温度(T_A ，单位为 $^{\circ}$ C)和功耗(P_D 单位为W)计算，计算公式如下：

$$T_J = T_A + (P_D \times \theta_{JA})$$

其中 θ_{JA} (单位为 $^{\circ}$ C/W)为封装热阻。

频率折返保护

CL4148内含一个折返(Foldback)模式，当开关占空比非常大，最小关断时间不被满足时将进入折返保护模式，此时开关管以 F_{SW} 的1/4倍工作，使得电感电流上升时间大幅降低，电感的放电时间延长。CL4148通过内部集成Foldback模式，可以很好的对芯片进行启动和短路保护，防止输出电流过冲。当满足最小占空比要求时，CL4148将退出折返保护模式，重新进行软启动。

最大电流限制

稳压器输出具备逐周期过流限制功能。当SW电流触发 $I_{LIMIT_SW(Peak)}$ ，BUCK输出会进入逐周期限流状态。 $I_{LIMIT_SW(Peak)}$ 与电感大小和输入压差相关， $I_{LIMIT_SW(Peak)}$ 仅为参考最小值。当长时间过流或短路时，将可能触发OTP保护。

最大占空比 D_{MAX}

当输入输出电压差很低时，BUCK切换到最大占空比工作状态，此时，高端N沟道MOSFET处于常开状态，将关断时间缩至最短。在最大占空比工作条件下，由于输出电压是输入电压值和最大占空比限值的乘积，输出电压会骤降至调节范围以下。

输出电压 V_{OUT}

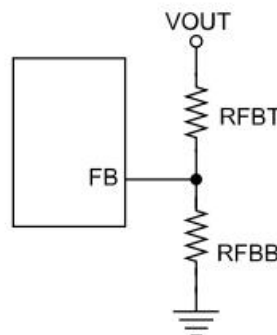
CL4148的电压调节回路会将FB电压调节至与内部参考电压相同，可以通过改变两个分压电阻比例来调节输出电压大小。

输出电压可根据以下公式计算：

$$V_{OUT} = \frac{R_{FBT} + R_{FBB}}{R_{FBB}} \times V_{FB}$$

输出电压配置参考

Vo(V)	RFBT(kΩ)	RFBB(kΩ)
3.3	33	10.7
5	56	10.7
12	150	10.7



- 注：
- 较大的分压电阻可以减少流过分压网络的电流，提高电压转换效率。但是电阻阻值太大会使反馈回路更容易受噪声影响。建议使用精度±1%或者更好的分压电阻，温度系数100ppm或更低，电阻阻值限制在K级。
 - 如果FB引脚接地或断开，输出电压值会被驱动至输入电压值附近。应注意，此时接在输出的负载可能会损坏。
 - 反馈回路应保持远离PCB噪声干扰的地方，可参考后文给出的PCB布局参考。

前馈电容 C_{FF}

在某些情况下，前馈电容 C_{FF} 可以跨接在 V_{OUT} —FB的电阻上来增加环路相位裕度，提高负载瞬态响应。

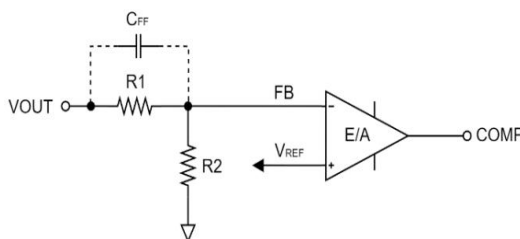
C_{FF} 的引入可以在反馈回路中与反馈电阻形成新的零点(Z_{FF})和极点(P_{FF})，如果将零点置于出现单位增益的频率之前可以增加频率带宽，使得稳压器输出振铃减小并更快稳定，从而提高系统的瞬态响应。

通常 C_{FF} 的选择值越大可以提供更大的带宽，但是过大的 C_{FF} 会造成环路增益带宽频率过高，导致环路不稳定。

C_{FF} 的一般值在22pF~220pF之间。

C_{FF} 可根据以下公式估算：

$$C_{FF} = \frac{\sqrt{\frac{V_{FB}}{V_{OUT}}}}{2\pi \times R_1 \times f_c}$$



自举电容 C_{BST}

CL4148降压驱动器高侧开关驱动电路要求偏置电压高于VDD，以确保高侧MOS管处于开启状态。BST和SW之间的电容 C_{BST} 作为“电荷泵”，将BST端的电压升高到 $SW+V_{DD}$ ($V_{BST-SW}=5V$)，为 C_{BST} 充电的导通二极管集成在CL4148的芯片内部，尽可能最小化使用方案的尺寸。 C_{BST} 推荐使用0.1μF电容器，耐压值高于10~16V。

输入电容 C_{VIN}

CL4148要求使用去耦电容来滤除输入端的噪声干扰。去耦电容典型推荐值为4.7μF，额定电压必须大于IC所要求的最大输入电压，最好应为最大输入电压的两倍⁽¹⁾。该电容的增加可以减小输入电压纹波，并且在负载瞬变时保持输入端电压的稳定。

同时，在输入端与滤波电容并联一个小型100nF陶瓷电容有助于滤除高频噪声。小型电容器滤波半径小，应放置在距离芯片尽可能近的位置，以确保其发挥最好的滤波效果。

在CL4148的测试过程中，我们选择了4.7μF，100V，X7R和100nF，100V，X7R的陶瓷电容器。

(1)陶瓷电容的直流偏置效应(DC-Bias Effect)使得电容的有效值下降。请尽可能参照所选电容器的直流偏压特性选择合适的电容、封装尺寸、额定电压和介质材料都会造成额定电容值和有效电容值的差异。

输出电容 C_{OUT}

CL4148允许使用的输出电容值范围比较广，为保证成本和较小的体积，尽量选择合适的输出电容。实际应用中，输出电容会直接影响输出电流瞬态响应时的电压过冲/欠冲和输出电压的纹波。当负载发生瞬态变化时，输出电容需要在环路调节完成前提供电荷，瞬态电压变化值ΔV_{OUT}可由以下公式计算：

$$\Delta V_{OUT} = \Delta I_{OUT} \times ESR$$

其中ΔI_{OUT}表示负载电流的跳变值，ESR为输出电容的等效串联电阻值。

输出电压纹波由两部分组成：一是电感电流纹波流过输出电容的ESR引起的，二是电感电流纹波对输出电容充电引起的。

$$\Delta V_{OUT-ripple} = \frac{\Delta I_L}{8 \times C_{OUT} \times F_{SW}} + \Delta I_L \times ESR$$

ΔI_L表示电感纹波电流，F_{sw}表示MOSFET开关频率，为了在瞬态变化中保持较小的输出电压过冲或欠冲、减小输出纹波，需要电容具有较大的容值和较小的ESR，这也会使成本和体积增加，选择合适的输出电容至关重要⁽¹⁾⁽²⁾。

(1)输出电容过大也会影响芯片的正常启动和回路稳定性。

(2)可以直接使用典型应用中推荐的10μF，100V，X7R的陶瓷电容，或者将其作为一个选择输出电容值的起点。

功率电感 L

对于功率电感的选型主要考虑电感的饱和电流，要基于所期望的纹波电流ΔI_L，即电感中随负载电流变化的交流电流有效值。一般控制在最大负载电流I_{OUT-MAX}的20%-40%之间。电感值可由以下公式进行计算：

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times D}{L \times F_{SW}}$$

D表示开关占空比，可用 $D = \frac{V_{OUT}}{V_{IN}}$ 近似计算，得到的电感值单位是μH。

电感饱和电流值必须高于最大的负载电流和纹波电流之和：

$$I_{L-MAX} \geq I_{OUT-MAX} + \frac{\Delta I_L}{2}$$

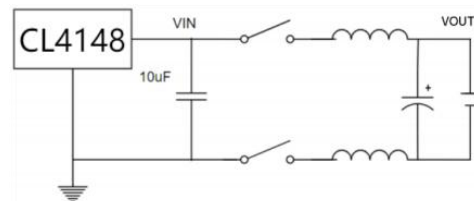
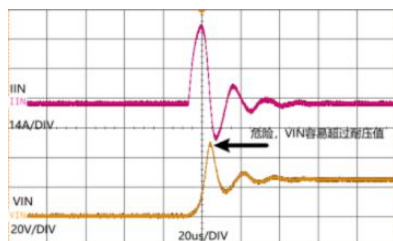
一般来说，选择电感值较低的电感会具有更小的DCR，能应对更快速的瞬态响应，使用方案的尺寸更小。但是过低的电感会产生更大的电感电流纹波，从而导致使用同样C_{OUT}时的输出电压纹波更大。

经过测试，典型应用中推荐的电感值可以作为使用参考。

热插拔安全

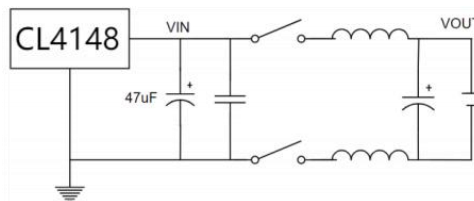
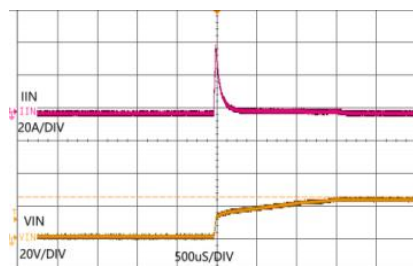
陶瓷电容器具有体积小、稳定性好、低阻抗等优点，是CL4148电路输入旁路电容器的理想选择。但是如果将CL4148插入带电电源，CL4148的VIN引脚处的电压可能达到标称输入电压的两倍，可能超过CL4148的额定值并损坏零件。如果输入电源控制不当或用户需要将CL4148插入通电电源，则输入网络的设计应防止这种超调。

图a显示了当CL4148电路通过6英尺(2m)24AWG双绞线连接到24V电源时产生的波形。第一个图是10 μ F输入端的陶瓷电容器的瞬间响应。输入电压高达49V,输入电流峰值为36A。

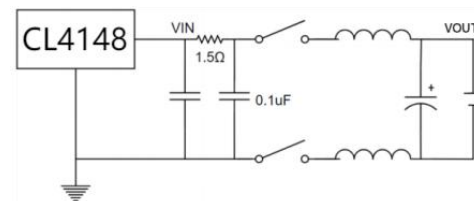
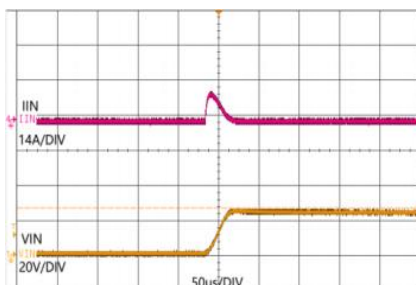


图(a)

改善和预防此问题影响一种方法是在电路中添加另一个带有串联电阻器的电容器。在图b中增加了一个铝电解电容器。这种电容器的高等效串联电阻产生的阻尼，可以消除电压过冲。额外增加的电容改善了输入纹波，可以稍微提高电路的效率。另一种解决方案如图c所示。一个1.5 Ω 电阻器与输入串联，以消除电压过冲(它也降低了峰值输入电流)。一个0.1 μ F电容改善了高频滤波。这种解决方案比电解电容器更小，也更便宜。对于高输入电压，其对效率的影响很小。



图(b)



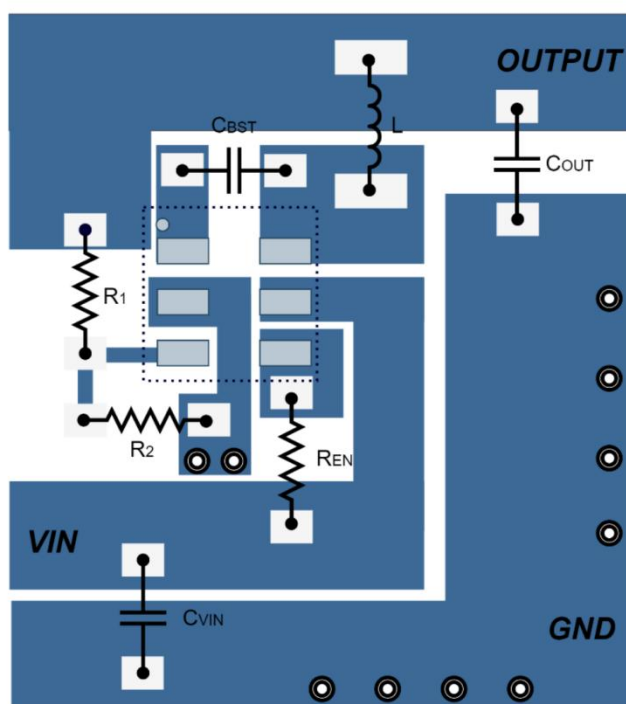
图(c)

参考PCB布局

概述

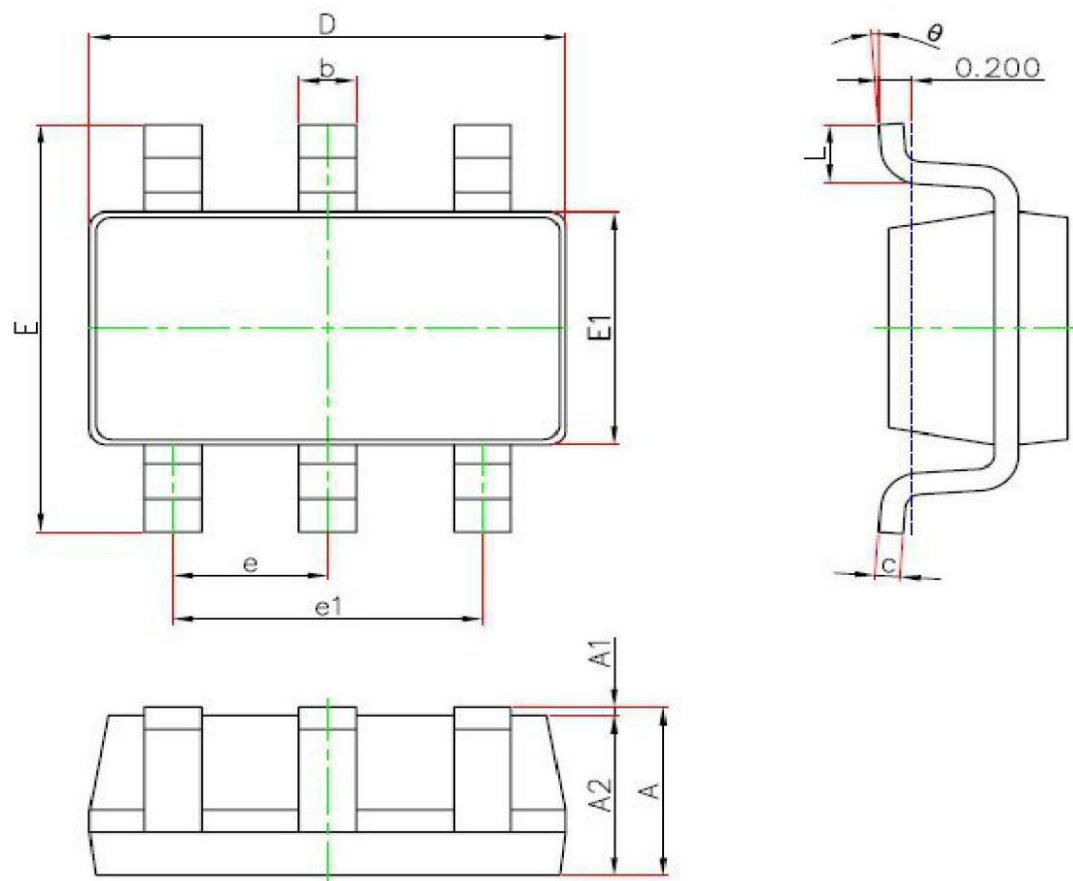
CL4148的高集成度使PCB板布局非常简明清晰。较差的布局会影响CL4148的性能，造成电磁干扰(EMI)、电磁兼容性(EMC)差、地跳以及电压损耗，进而影响使用的稳定性。为了优化其电气和热性能，请参照下列规则来实现PCB布局布线，确保最佳性能：

- 将高频陶瓷输入电容 C_{VIN} 尽可能放置在距离CL4148的VIN和GND引脚近的位置，以降低引入到输出引脚的高频噪声，减小EMI辐射。此外，保持输入输出电容在所在层上连接到大面积GND上。
- 对功率回路最好使用大面积覆铜的方式，使输入输出连接回路尽可能宽，减小传输过程中的损耗，使效率最大化。
- 为增强散热和连接性，可以增加过孔数量来实现顶层和其他电源层或地层之间的互连。请确保PCB板有足够的铺铜区域用来散热，使结温保持在125℃以下。
- 应考虑电感所产生的ACR和DCR损耗，所造成的热量传导给芯片。可酌情将电感放置稍远或合理设计热岛。
- 反馈电阻 R_{FBT} 和 R_{FBB} 应位于靠近FB引脚的位置，将前馈电容 C_{FF} 与 R_{FBT} 平行放置，反馈回路与FB和GND引脚距离必须近，适当的与 V_{OUT} 距离可以相对放远一些，需要保证反馈回路远离任何噪声源(如SW节点)。



PCB 参考布局图

封装说明: SOT23-6L



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	1.050	1.250	0.041	0.049
A1	0.000	0.100	0.000	0.004
A2	1.050	1.150	0.041	0.045
b	0.300	0.500	0.012	0.020
c	0.100	0.200	0.004	0.008
D	2.820	3.020	0.111	0.119
E1	1.500	1.700	0.059	0.067
E	2.650	2.950	0.104	0.116
e	0.950(BSC)		0.037(BSC)	
e1	1.800	2.000	0.071	0.079
L	0.300	0.600	0.012	0.024
θ	0°	8°	0°	8°

- 此处描述的信息有可能有所修改，恕不另行通知。
- 智凌芯不对由电路或图表描述引起的与工业标准，专利或第三方权利相关的问题负有责任。应用电路图仅作为典型应用的示例用途，并不保证其对专门的大规模生产的实用性。
- 当该产品及衍生产品与瓦圣纳协议或其他国际协议冲突时，其出口可能会需相关政府的授权。
- 未经智凌芯刊印许可的任何对此处描述信息用于其他用途的复制或拷贝都是被严厉禁止的。
- 此处描述的信息若智凌芯无书面许可不能被用于任何与人体有关的设备，例如运动器械，医疗设备，安全系统，燃气设备，或任何安装于飞机或其他运输工具。
- 虽然智凌芯尽力去完善产品的品质和可靠性，但半导体产品的失效和故障仍在所难免。因此采用该产品的客户必须要进行仔细的安全设计，包括冗余设计，防火设计，失效保护以防止任何次生性意外、火灾或相关损毁。